**TG7600B硬件设计指南**

# Revision History

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Date** | **Version** | **Comments** | **Author** | **Reviewer** |
| 2023/09/25 | V1.0 | 初创版 | ZZJ | LMS |
| 2023/12/11 | V3.2 | 修改TG7600B原理图中DVDD外接4.7uF电容为1uF电容 | ZZJ | LMS |
| 2023/12/14 | V3.3 | 1、新增PINMUX表及相关说明；  2、SPI Controller特别说明； | LMS | WT |
| 2023/12/14 | V3.4 | 增加：所有的GPIO均可作为普通中断使用； | LMS | WT |
| 2023/12/18 | V3.5 | 增加：防倒灌IO说明 | LMS | WT |
| 2023/12/18 | V3.6 | Fix | LMS | WT |
| 2023/12/26 | V3.7 | 更换相关原理图 | ZZJ | LMS |
| 2023/12/29 | V3.8 | 1. 更改32M晶体Step值； 2. 更改32K晶振片内负载电容大小。 | ZZJ | XJF |
| 2024/01/04 | V3.9 | 1. 更改TG7600B 原理图、增加天线匹配对地电感、GPADC、电源电路、ESD等相关信息。 | ZZJ | XJF |
| 2024/01/18 | V3.10 | 更改原理图中32K晶振电路中电容值大小 | ZZJ | LMS |
| 2024/01/24 | V3.11 | 补充32K晶振包地说明；增加32K Layout参考图。 | ZZJ | LMS |
| 2024/01/25 | V3.12 | 在PINMUX表中增加备注说明 | LMS | WT |
| 2024/02/20 | V4.1 | 增加原理图 | LMS | WT |
| 2024/02/21 | V4.2 | 增加配置说明 | LMS | WT |
| 2024/03/13 | V4.3 | 更改参考原理图 | ZZJ | LMS |
| 2024/03/27 | V4.4 | 1. PINMUX表增加ADC功能； 2. PINMUX说明中指明三线SPI的输入/输出引脚； | LMS | WT |
| 2024/03/27 | V4.5 | 更改TG7600B复位时间 | ZZJ | LMS |
| 2024/04/16 | V4.6 | 增加TG7600B贴片的工艺参数 | ZZJ | LMS |
| 2024/04/25 | V4.7 | 修改GPADC的RC滤波电路参数 | LMS | WT |
| 2024/04/29 | V4.8 | 修改贴片的工艺参数 | ZZJ | LMS |
| 2024/05/21 | V4.9 | 1. 明确指出I2C只能做主； 2. 修改SPI的输入输出端口说明； | LMS | WT |
| 2024/05/21 | V4.10 | 更正：timer\_out表示可输出PWM波 | LMS | WT |
| 2024/06/19 | V4.11 | 删除DC/DC Buck通过外部给VDCDC\_RF供电部分。 | LMS | WT |
| 2024/06/20 | V4.12 | PINMUX中关于UART的说明 | LMS | WT |
| 2024/07/23 | V4.13 | 1. 强调说明DCDC模式与LDO模式最小供电电压； 2. 32K晶振部分强调必须要外加电容； 3. 补充：32MHz晶体片内集成的负载电容，SDK的默认配置是13.6pF。 | LMS | WT |
| 2024/09/11 | V5.0 | 1. 增加：VBAT带载能力说明； 2. 增加：UART是否支持DMA说明； 3. 增加：GPIO上电默认状态说明。 | LMS | WT |

# 目录

[Revision History 1](#_Toc30989)

[目录 3](#_Toc27153)

[1. 芯片配置 4](#_Toc1884)

[2. 复位电路 4](#_Toc28650)

[3. 晶振需求 4](#_Toc163)

[3.1. 32M晶体电容 4](#_Toc3136)

[3.2. 32.768K晶体电容 5](#_Toc6461)

[3.3. 晶体电容的设置 5](#_Toc26420)

[3.4. 晶体频偏调试 6](#_Toc20792)

[4. DC/DC Buck 6](#_Toc16224)

[5. 电源滤波电路 7](#_Toc14459)

[6. PAD 7](#_Toc27106)

[7. 调试下载电路 8](#_Toc2361)

[8. GPIO电路 8](#_Toc13185)

[9. UART 9](#_Toc29428)

[10. 电源电压检测 9](#_Toc13350)

[11. GPADC 9](#_Toc669)

[12. 天线匹配电路 10](#_Toc28423)

[13. 原理图设计 10](#_Toc14473)

[13.1. TG7600B原理图 11](#_Toc11569)

[14. PCB设计 11](#_Toc9056)

[14.1. TG7600B芯片Layout 11](#_Toc11602)

[14.2. 晶体Layout 11](#_Toc20269)

[14.3. DC/DC BUCK电路Layout 12](#_Toc23288)

[14.4. 电源Layout 13](#_Toc4659)

[14.5. 射频匹配电路Layout 13](#_Toc4254)

[14.6. 天线 14](#_Toc19771)

[14.7. 元器件封装尺寸 14](#_Toc17208)

[15. ESD设计 15](#_Toc9074)

[16. PINMUX 15](#_Toc11047)

[17. 其它 16](#_Toc3597)

# 芯片配置

**表1 TG7600B配置表**

|  |  |
| --- | --- |
|  | TG7600B |
| Package | QFN32\_4\*4mm |
| Flash Memory | 8Mb |
| RAM | 80KB |
| V-Range | 1.71 - 3.6V |
| IO Number | 25 |
| GPADC | 8通道单端 |
| UART | 2 |
| SPI | 2 |
| I2C | 1 |
| SPI Flash Controller | √ |
| 32.768K晶体 | √ |

# 复位电路

TG7600B芯片的GPIO13/RESET引脚默认状态下为GPIO功能，可通过软件将此引脚配置为RESET复位功能。注意，RESET低电平有效，且复位时间要保证在40us以上。

# 晶振需求

## 32M晶体电容

32MHz晶体，TG7600B片内集成了负载电容(可调范围：0~24pF，初始化前芯片默认是12pF，SDK默认配置是13.6pF)，一个step = 0.38pF左右，外部的负载电容可不焊接，预留电容位置，具体选择与调试要求如下：

**表2 32M晶体参数表**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | note | min | typ | max | unit |
| frequency |  |  | 32 |  | MHz |
| accuracy |  |  | ±10 | ±30 | ppm |
| ESR |  |  | 20 | 80 | Ω |
| load cap |  |  | 8 | 12 | pF |
| shunt cap |  |  | 1 | 5 | pF |

## 32.768K晶体电容

TG7600B芯片的GPIO25/XTAL32K\_P和GPIO24/XTAL32K\_N引脚，可根据实际应用需求切换为GPIO或晶振pin使用。

32.768KHz晶体，精度为±10ppm。由于TG7600B片内集成了负载电容（可调范围为0~4.5pF，一个step为1.5pF左右），此晶体在对时钟精度要求不高的应用场景下，可以省去，用内部RC。

注意，如果对时钟精度要求较高需要使用外部32.768K晶体时，外部的负载电容需要焊接，大小可以根据表3中32.768K晶体参数选取合适的值，然后再通过内部负载电容进行微调。需要强调的是，即使不焊接负载电容，也必须要留出电容的位置，因为内部可调节的范围有限，仅仅通过内部调节可能无法达到理想的效果。

**表3 32.768K晶体参数表**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | note | min | typ | max | unit |
| frequency |  |  | 32.768 |  | KHz |
| accuracy |  |  | ±10 | ±20 | ppm |
| ESR |  |  | 65 | 80 | KΩ |
| load cap |  |  | 7 | 12 | pF |
| shunt cap |  |  | 1.3 | 2 | pF |

## 晶体电容的设置



**图3.1 晶体电容芯片内部等效图**

Ct是芯片内可调电容；

C0是晶体管脚之间的寄生电容（晶体静态电容shunt capacitance），手册会标出。

Cp为晶体输入管脚到GND总电容（包括晶振管脚与GND的寄生电容、PCB走线电容、电路外接并联到GND的匹配电容）；

Cn为晶体输出管脚到GND总电容（包括晶振管脚与GND的寄生电容、PCB走线电容、电路外接并联到GND的匹配电容）；

CL为晶体的负载电容，指在电路中跨接晶体两端的总的外界有效电容，是晶振振荡所需要的电容，从石英晶体管脚两端向振荡电路方向看进去的全部有效电容为该振荡电路加给石英晶体的负载电容。CL在晶体的datasheet中有提供：

为了保持晶体的负载平衡，在实际应用中，一般要求Cp=Cn，

例如：晶体手册负载电容CL=12.5p，静态电容C0=1p，Cn=Cp=2\*（12.5-1）=23p，

一般PCB走线电容0.5p，晶振管脚与GND寄生电容4.8p。

所以晶体的PCB匹配电容=23p-0.5p-4.8p=17.7p

晶体可以外接匹配电容17.7p，也可以通过芯片内部可调电容Ct去匹配。

负载电容CL越大，晶振越不容易起振，建议选用CL = 6-9pF的晶体。在设计中为了预防使用的内部负载电容CL值太大，以及寄生电路的不确定性，防止内部软件校准不回来，强烈建议预留晶体两端的匹配电容位置。比如，负载电容CL=12pF基本频偏会偏大120KHz以上。软件校准的PARAM值建议尽量控制在20以内，内部调整PARAM值，相当于是开启内部的一个个并联电容小开关（每个0.38pF左右），开关开多了会有一定的寄生参数的影响。

## 晶体频偏调试

保证XTAL P端振幅超过400mVpp,如果幅度不满足，首先减小Ct，直到振幅达到要求，注意测试时示波器探头要选用10M ohms <12pF X10的；

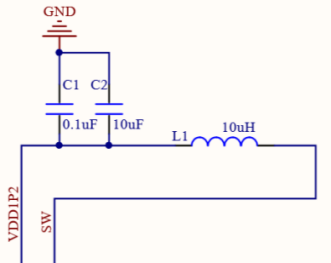
当幅度满足要求后，测量射频频偏是否满足要求，若射频频偏不能满足，则需要更换晶体。建议使用晶体：

TKD: 32M 8pF-10pF +-10ppm ESR<30Ω SX-3225系列；

32.768K 12.5pF +-20ppm Q-SC32S0322070AAAF SMD-3215-2P。

# DC/DC Buck

TG7600B芯片集成了一个 DC-DC Buck 模式的电压转换模块，引脚定义为VDD1P2和SW（引脚定义具体可参考TG7600B\_datasheet中Pin Description章节），可由 Buck 电路给芯片提供电源（当内部寄存器配置为DC/DC模式时），SW是Buck电路的输出管脚，SW管脚与VDD1P2之间串联一个 10uH 的功率电感，VDD1P2脚建议并接一个 10uF和0.1uF 的电容到地，整体组成DC/DC Buck电源回路。DC/DC电路是为了降低TG7600B的工作电流，输出电压1.25V左右，只供芯片内部电路使用，不用来对外部负载使用。



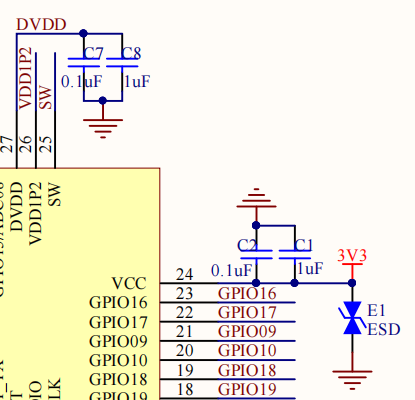
**图4.1 DC/DC Buck电路**

特别注意：如果使用DC/DC模式，那么芯片电源供电电压范围为1.8V~3.6V，只有使用LDO模式时电压范围才能达到1.71V~3.6V。

# 电源滤波电路

TG7600B芯片供电电压为1.71V~3.6V电压，需要经过滤波电路，得到干净的电源，VCC芯片外部供电脚，需要加0.1uF 和1uF 的电容，PCB设计时，电容尽量靠近芯片的VCC Pin脚放置。

TG7600B内部LDO（DVDD Pin）需要加上0.1uF和1uF滤波电容，PCB设计时，这些尽量靠近芯片的DVDD Pin脚放置。



**图5.1 电源滤波电路**

# PAD

（1）TG7600B芯片PAD分为 3 类Digital IO, Analog/Digital IO和Special/Digital;

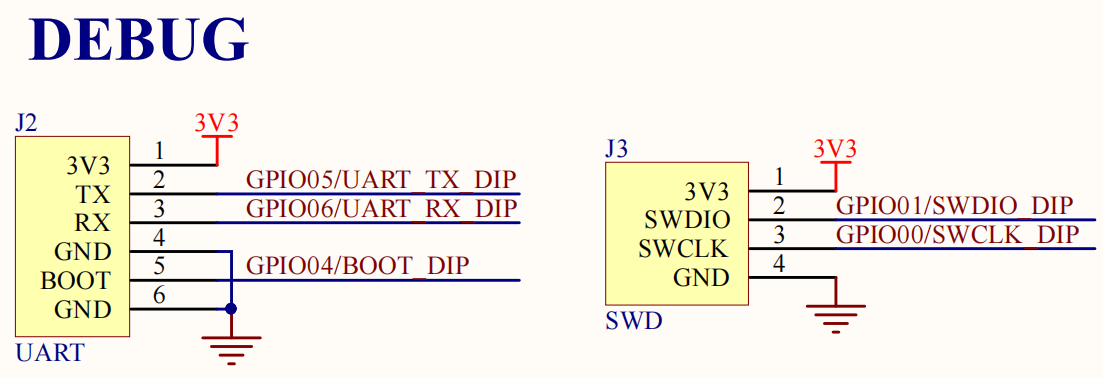
* Digital IO:只能用于 Digital signal，可以支持所有 Pin\_mux 可以切出的 IO 功能，Digital IO 输出驱动能力为2档（10mA和20mA），可软件配置。
* Analog/Digital IO:支持 ADC 功能，也可以切换成 Digital IO 使用。 GP-ADC对应IO分别为TG7600B：GPIO2/3/7/8/11/12/14/15；
* Special/Digital: 用于ISP烧录启动（BOOT模式）和SWD调试。BOOT固定分配在GPIO4上，GPIO4也可以切换成 Digital IO 使用。 SWD的CLK 固定分配在GPIO00, DATA固定分配在GPIO01上。在 PCB 设计中，建议将这些管脚引出测试点。

1. 所有 IO 都支持 Wakeup 功能, 每个IO内部都有上/下拉可配置，上拉电阻有四档（范围4Kohm~2Mohm），可软件配置，下拉只有一档为200Kohm左右 。
2. TG7600B系列芯片数字引脚的PINMUX功能不可随意映射，在设计应用电路时要注意参照PINMUX映射表或者SDK。

# 调试下载电路

TG7600B在线调试，可以用Jlink或Stlink的SWD模式，注意：在GPIO资源够用的条件下，此调试口不要共用其他功能，SWCLK（GPIO00），SWDIO（GPIO01）。

TG7600B量产烧录是通过串口烧录，需要5根线，VCC、GND、Boot（GPIO4）、Uart\_TX（GPIO5）和Uart\_RX(GPIO6)，需注意，只有GPIO4/5/6是下载口，在GPIO资源够用的条件下，此下载口不要共用其他功能。



**图7.1 调试下载电路**

# GPIO电路

1. TG7600B有1路I2C、2路SPI、2路串口UART，其中TG7600B分别有25，并且支持Pin\_mux功能。
2. GPIO上电默认为浮空，软件配置成上拉。
3. I2C总线跟外设通信，建议加4.7Kohm上拉电阻。
4. GPIO4 默认是上拉，其他GPIO默认悬空。
5. GPIO00~GPIO20以及GPIO23~GPIO25具有防倒灌功能，GPIO21与GPIO22不具备防倒灌功能，在硬件设计时需要特别注意。
6. 按照VBAT的带载能力可以将GPIO分为两组：

* 组1：GPIO2~GPIO3，GPIO7~GPIO8，GPIO11~GPIO15，GPIO24~GPIO25，此组VBAT的最大带载能力为60mA。
* 组2：GPIO0~GPIO1，GPIO4~GPIO6，GPIO9~GPIO10，GPIO16~GPIO23，此组VBAT的最大带载能力为200mA。

1. SPI\_Flash支持2线/4线模式，其中Flash Controller固定分配GPIO如下表：

**表4 SPI\_Flash Controller分配表**

|  |  |
| --- | --- |
| **FLASH** | **GPIO** |
| Flash\_SO | GPIO7 |
| Flash\_CS# | GPIO8 |
| Flash\_SCLK | GPIO9 |
| Flash\_SI | GPIO10 |
| Flash\_HOLD | GPIO11 |
| Flash\_WP | GPIO12 |

**注意：**

* TG7600B系列的内部Flash与外部Flash共用一个Sflash controller，可通过软件来切换Sflash controller具体控制内部Flash还是外部Flash，在硬件设计和软件配置时要特别注意。
* GPIO8/9/10/11也可复用成SPI接口MISO/MOSI/CS/CLK，与Sflash controller不是一一对应，外接SPI外设时需要注意，详细可参考PINMUX图。

# UART

UART1支持DMA传输模式；

UART0没有FIFO功能，不支持DMA传输模式。

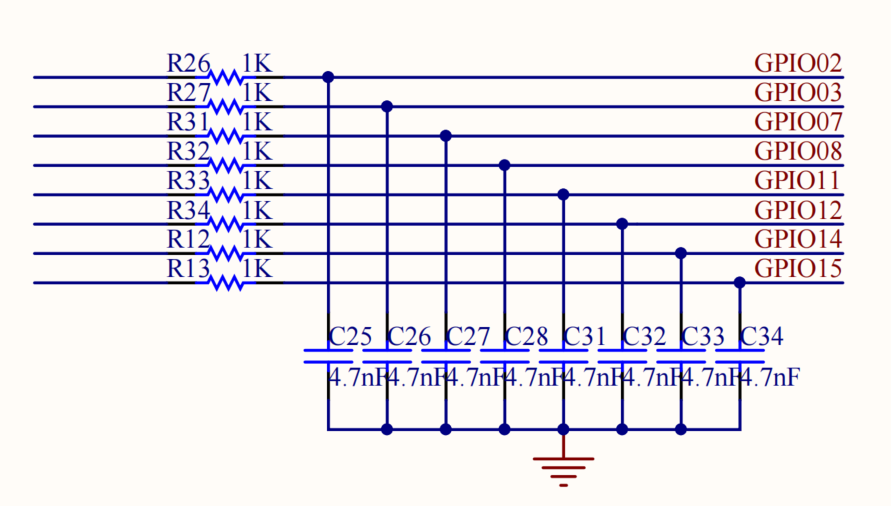
# 电源电压检测

TG7600B系列芯片自带电压检测功能，如果电池的最大供电电压不超过3.6V，那么芯片自身就可以读取电池的当前的电压，无需外加电压检测电路。

如果供电电池的最大电压超出了3.6V，那么要想通过芯片检测电池的电量，可以设计一外部分压电路，通过具有ADC功能的IO接口实现电池电量的检测。

# GPADC

GPADC引脚外部加RC滤波器，电容C建议用4.7nF, 电阻R建议使用1KΩ。对于采样时间的设置（软件设置），请参考TG7600B应用手册的ADC Notes部分。

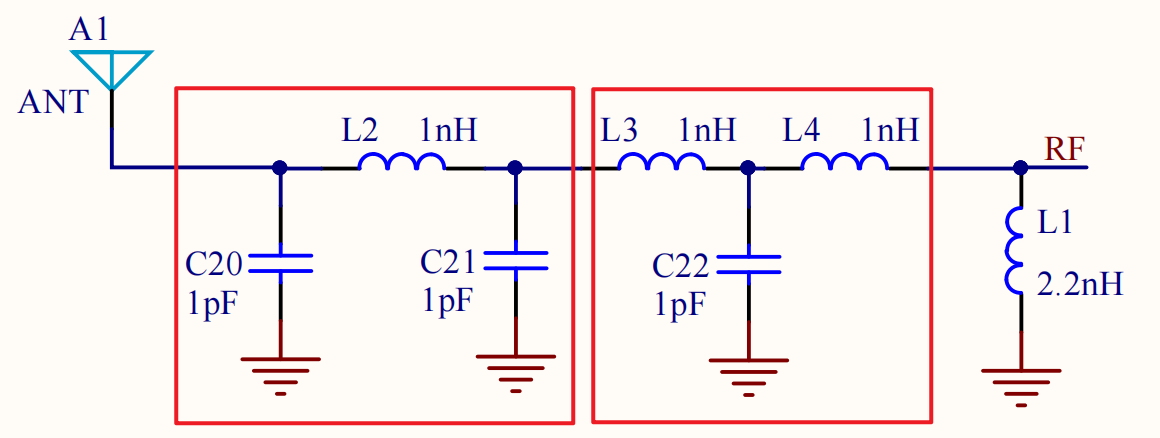


**图11.1 RC滤波电路**

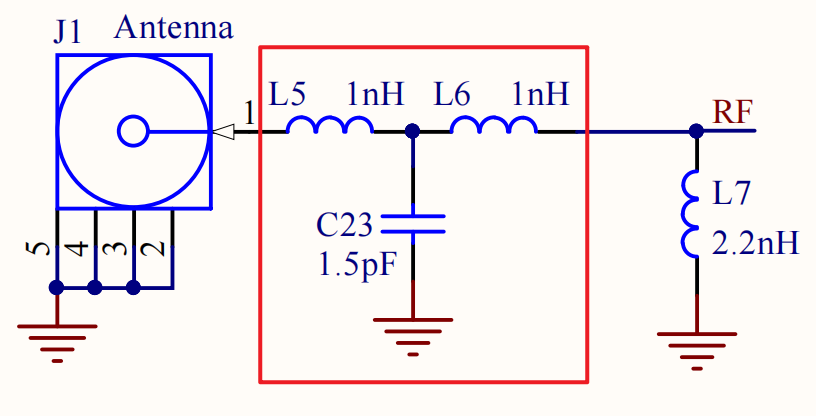
# 天线匹配电路

RF天线匹配电路设计，针对板载式、贴装式等类型的天线，建议IC按照T型网络进行匹配，天线按照Π型网络进行匹配，如图12.1。而针对外接式(如FPC)、外置式(如棒状天线)等类型天线，只需预留T型网络即可，如图12.2。

注意，图中匹配值仅为参考值，RF天线匹配电路中匹配值需要根据实际应用环境进行调节。



**图12.1 T型&Π型匹配电路**



**图12.2 T型匹配电路**

# 原理图设计

TG7600B原理图由七部分组成，分别是电源滤波电路、DC/DC电路、时钟电路、调试下载电路、GPIO电路、ESD保护电路和天线匹配电路组成。下面给出了TG7600B的参考原理图。

## TG7600B原理图微信图片_20250225174824

**图13.2 TG7600B原理图**

# PCB设计

PCB Layout以常用的2层板为例，对各个部分的Layout进行详细阐述，特别是射频和晶体电路的Layout，此电路的设计，直接关系到芯片的通信性能。

PCB材质采用最常用的双面FR4板材结构，元器件尽量放在top层，bottom层尽量有完整的地平面，元器件的接地PIN应就近直接打过孔到bottom层。

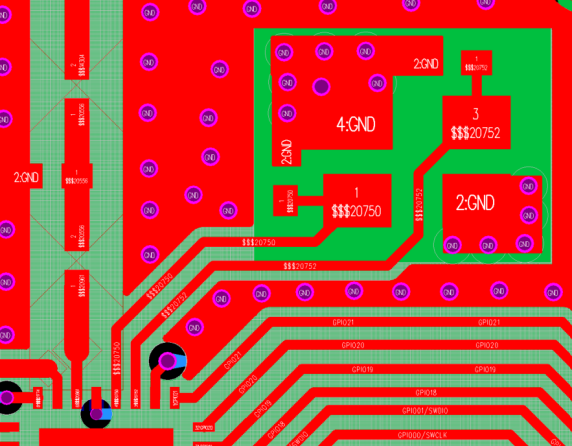
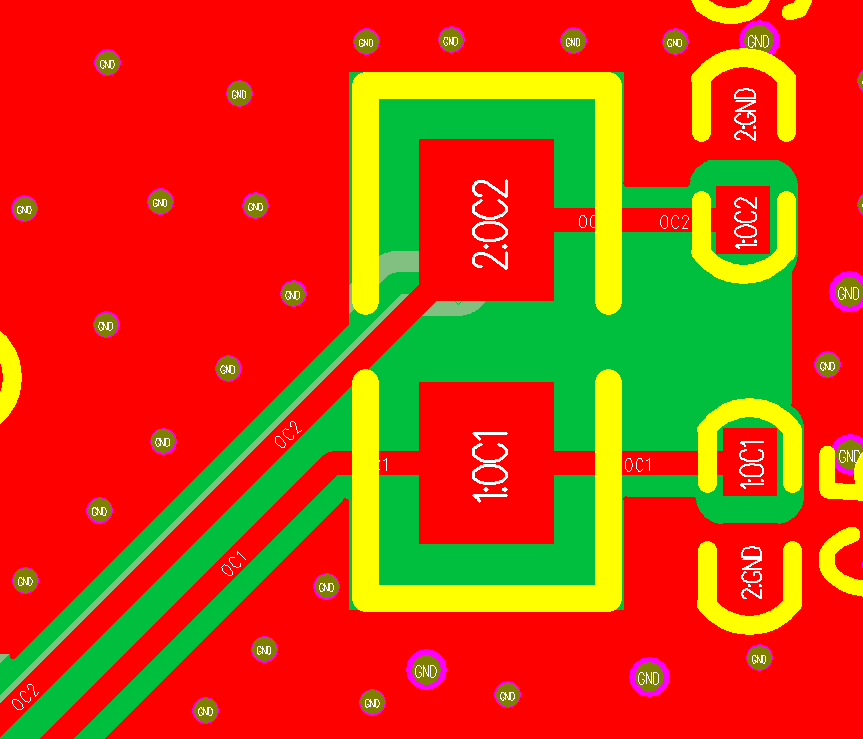
## TG7600B芯片Layout

TG7600B为 QFN、LGA封装的芯片，其芯片EPAD（原理图Pin0）必须接地，PCB做库的时候在芯片中心需加接地的EPAD，为保证与PCB底层bottom的地平面完整接地，EPAD中心至少需要5个GND过孔，而且手工焊接时需预先在EPAD上加锡处理。 TG7600B芯片下面对应的bottom层尽量不要有走线和元器件，特别是靠近射频匹配电路和晶体电路的部分，完整的地平面能保证良好的芯片性能。

## 晶体Layout

晶体Layout时需要注意：

1. 晶体背面应保证为完整地平面，最好不要有任何走线和元器件，并且要远离DC/DC走线和电源走线，建议用GND隔离。
2. 晶体走线要靠近芯片晶振引脚，尽量不要有过孔，走线做包地处理；
3. 32M晶体和32K晶体要尽可能远离射频天线或电机马达等干扰源；
4. 32M和32K走线最好垂直射频走线，走线和射频线之间有铜皮隔离。

**图14.1 晶振Layout参考图**

## DC/DC BUCK电路Layout

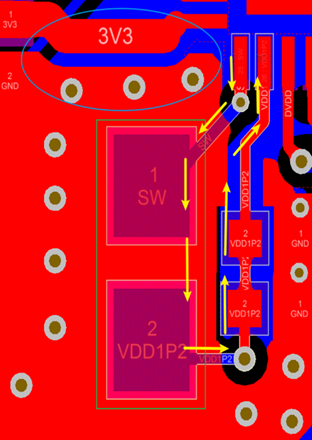
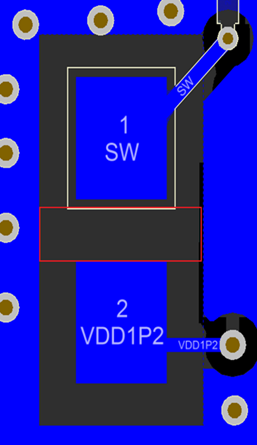
DC/DC Buck电路Layout时，走线从芯片的SW引脚出发，按照先后经过10uH电感、10uF电容和0.1uF电容的顺序，最后回到芯片的VDD1P2引脚，且要保证DC/DC BUCK电路整个回路尽可能小。（如图14.2a黄色箭头路径所示）。

特别注意，SW和电感尽可能远离VCC电源，且最好有地铜皮隔离，并多打地过孔（如图14.2a蓝色椭圆处所示）。

DC/DC的功率电感和电容放置必须靠近芯片的输入输出端口，电感下方PAD的中间不铺地（如图14.2b红色方框所示）；

电感的下方（背面层）不能走信号线，保证下方的铺地完整。

DCDC BUCK电路的电流不大，峰值不超过200mA，走线宽度大概在8~10mil即可。10uH电感需选择0603及以上，ESR尽可能小，额定电流不低于50mA，峰值电流不低于200mA。建议选用绕线电感。

(a) (b)

**图14.2 DC/DC Buck电路Layout**

## 电源Layout

TG7600B芯片供电电路上放置两个并联电容(1uF和0.1uF)对电源进行低通滤波，两个电容靠近芯片电源VCC引脚放置，电源输入走线依次经过1uF和0.1uF电容，然后接入芯片电源VCC引脚。

靠近芯片DVDD引脚放置两个电容(1uF和0.1uF)，其中0.1uF电容紧邻芯片DVDD引脚。

## 射频匹配电路Layout

首先要保证从芯片RF射频引脚到天线之间走线的特征阻抗为50Ω。线宽一般保证在20mil左右即可，不可太细；走线的参考层需保证完整的铜皮，走线两侧的铜皮要与走线平行且两侧距离相等，这样才能保证阻抗可控，至于具体距离需要根据走线与参考平面的距离以及板材的相对介电常数来确定；

从芯片RF射频引脚到天线之间走线尽量保证走直线，或者圆弧线，尽量避免45°/135°走线，更不可走直角线，因为高频信号容易发生反射或者从直角处辐射出去；

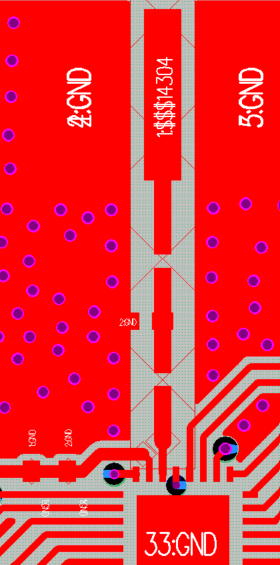
芯片RF射频引脚到天线之间走线两侧的铜皮需要尽可能多的打GND过孔；

射频电路匹配器件封装一般优先选用0201 封装；

射频电路及天线背面严禁走线或者放置其它器件，更不能放置金属或其它磁性器件。

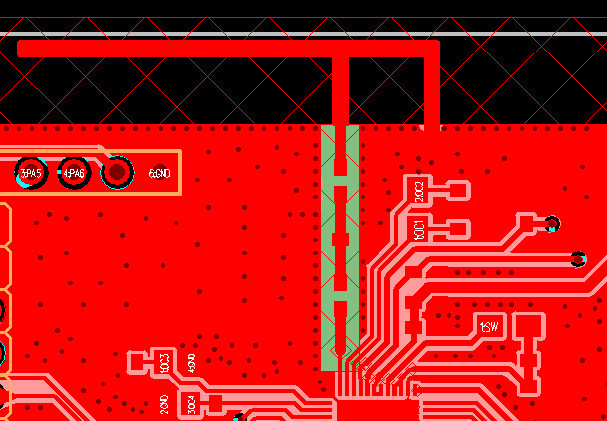
天线一般靠近板边放置，这样有利于天线的辐射。

如下图14.3为外置天线(棒状天线)的Layout参考图。



**图14.3 外置(棒状天线)射频天线Layout参考图**

对于板载式天线，为了保证射频性能，需要将天线的左右两侧进行净空处理。假设天线两侧有铜皮存在，如果铜皮通过过孔进行了接地处理，那么接地铜皮会吸收一部分射频信号影响射频信号的发射，而如果铜皮不接地，那么可能会产生反射信号，同样也会影响射频信号的发射。如下图14.4所示倒F板载天线。



**图14.4 倒F射频天线Layout参考图**

## 天线

天线的设计关系到射频通信的性能，在选择2.4G天线时，需综合考虑PCB尺寸、通信性能、成本等因素。本节给出五种2.4G天线，供客户选择。

1. 鞭状天线：材质采用铜，尺寸：Ø0.85\*30mm。需要垂直焊接到PCB板上，对PCB平面尺寸无要求，但高度有要求（大于30mm）。此天线的通信性比其他4种PFIA天线更优，通信距离更远，大约高出20%。此天线适合高度无要求的产品，并应用在室外远距离通信，如无线航模的应用。
2. F\_PIFA天线：微带线天线，尺寸：4.9\*25mm。此天线对PCB尺寸有要求，用于产品对PCB尺寸要求不高（一般尺寸10\*25mm），通信性能次于鞭状天线，但成本低，便于生产。
3. Normal\_PIFA天线：微带线天线，尺寸：8\*13mm。用于PCB无尺寸要求的条件下，所占PCB空间最大，最大增益可以达到1.5dB，如PCB面积足够，建议用此天线。由此天线做成的RF模块板子大小为15mm\*18mm左右。
4. Wiggle\_PIFA天线：微带线天线，尺寸：7\*10mm。用于PCB尺寸要求不苛刻的条件下，所占PCB空间比第二种稍小，增益也稍差1dB，可以用于对体积稍有要求的无线终端，如对于空间比较紧凑的无线LED等设备。由此天线做成的RF Module板子大小为13mm\*18mm左右。
5. Mini\_PIFA天线：微带线天线，尺寸：2.6\*9.5mm。此天线用于PCB板尺寸超小（如无线鼠标的Dongle），但通信距离会短一半。此天线做成的Dongle大小为11mm\*16mm左右。

## 元器件封装尺寸

1. 电容电阻：0402或0603封装均可。
2. 电感：DCDC电路中需外接10uH电感，建议选用3225绕线电感，封装规格为1210。若PCB空间有限，也可求其次选择0805规格封装。
3. 32MHz无源晶振：选用SMD3225无源晶振。
4. 32.768KHz无源晶振：选用SMD3215无源晶振，封装规格为1206。
5. 射频匹配器件：建议选用温度系数小，高精度器件（≤1%），建议使用0201 封装。

# ESD设计

设备和系统可靠性需要从整体考虑，包括原理图、PCB、结构、接地和软件控制等方面，因产品形态各异，主要从静电方面提出建议。

芯片的静电测试标准和产品级的静电测试标准不同，芯片采用HBM、CDM等测试，放电模型中充电电容较小，放电电阻较大，产品级静电测试按照IEC61000-4-2，放电模型中有较大的充电电容和较小的放电电阻，因此产品级的测试电流要比芯片级的测试电流高出好几倍，所以在产品设计时，要通过外部ESD或TVS管、PCB布局布线实现产品级静电的泄放。

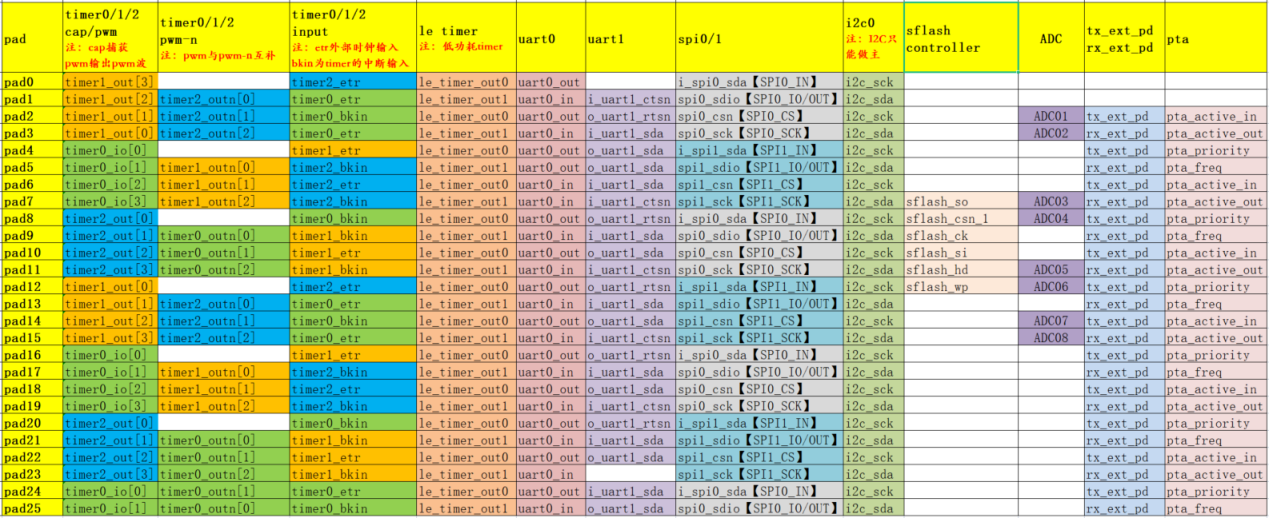
**原理图建议**：

1. 经常插拔、键盘接口处，信号线和电源需要加ESD器件做防护，比如电池电源、按键、调试口；
2. 外露的LED灯内部的控制信号需要预留ESD器件位置；
3. 电源通路建议按输入电源方向，先经过ESD器件，再串联磁珠到系统；
4. 信号通路建议按静电产生的方向，先经过ESD器件，再串联小电阻到芯片，一般串2R~100R，不会影响信号正常通信。

**PCB建议**：

1. 尽量多层板设计，减少地平面分割；
2. 芯片不要太靠近PCB边沿和结构缝隙处，容易受静电干扰；
3. 控制PCB走线环路面积；
4. 避免边沿布线；
5. 防护靠近连接器，减小引线长度。
6. ESD器件靠近静电产生的接口放置，ESD器件的地pad就近打地孔，接地良好。

# PINMUX



**图16.1 PINMUX参照表**

**说明**：

1. pad0-pad25对应GPIO00-GPIO25;
2. I2C只能做主，不能做从；
3. timer\_out表示可输出PWM波，timer\_io表示兼具Capture（捕获）和输出PWM波功能，timer\_bkin为timer的中断输入，timer\_etr为外部时钟输入，le\_timer表示低功耗timer；
4. uart0不具有流控功能。uart0\_out表示uart0\_TX，uart0\_in表示uart0\_RX；
5. uart1具有流控功能。o\_uart1\_sda表示uart0\_TX，i\_uart1\_sda表示uart1\_RX，i\_uart1\_ctsn表示uart1\_CTS，o\_uart1\_rtsn表示uart1\_RTS。
6. i\_spi\_sda：只能作为SPI的数据输入(IN)端口，与TG7600B做主/做从无关。

spi\_sdio：兼具输入/输出(IO)功能，比如，当使用三线SPI时，可以使用spi\_sdio作为输入输出端口；而当使用四线SPI时，由于i\_spi\_sda只能作为数据输入(IN)端口，因此，spi\_sdio在四线SPI中只能作为输出(OUT)端口。

1. sflash controller对应的功能引脚接到外部Flash的相应引脚。需要注意的是TG7600B系列的内部Flash与外部Flash共用一个sflash controller，可通过软件来切换Sflash controller具体控制内部Flash还是外部Flash，在硬件设计和软件配置时要特别注意。

**注意**：timer\_bkin为timer的中断指定引脚，对于普通的中断，所有的GPIO均可胜任。

# 其它

1. 磁性器件要远离天线和晶振，避免造成干扰。
2. 为了保证芯片良好的接地，对于芯片中间的EPAD，应保证EPAD下方有完整的地平面，且需要在EPAD上打尽可能多的GND过孔。
3. 除EPAD之外的GND PAD，特别是电容，需要保证就近至少有一个GND过孔。