
TG7100C

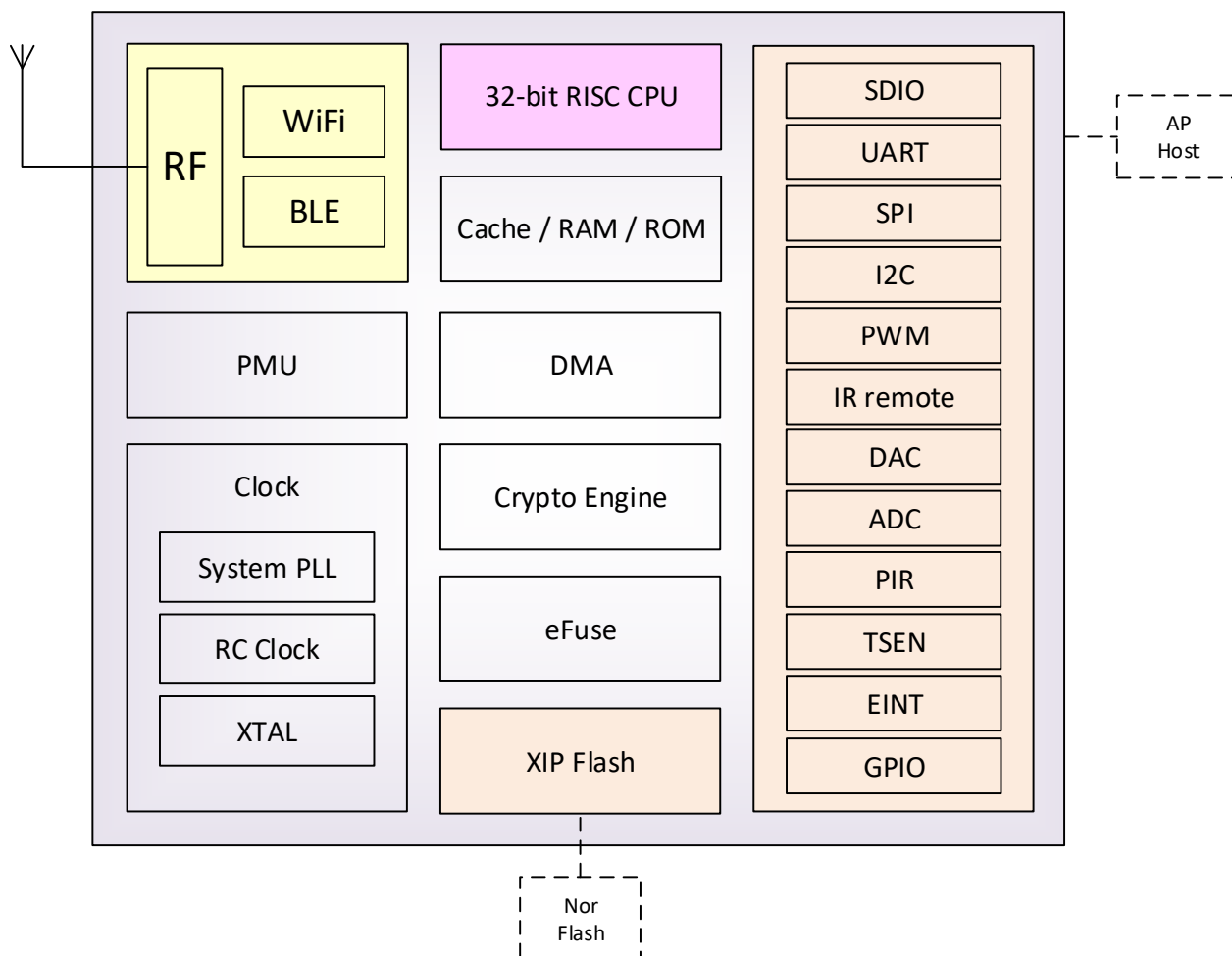
硬件设计指南

1. 产品概述	3
2. 电路设计	4
2.1 原理图设计	4
2.1.1 供电电源	4
2.1.2 外部晶体	6
2.1.3 上电时序、复位及启动.....	7
2.1.4 射频匹配网络	7
2.1.5 GPIO 配置	8
2.2 版图设计	8
2.2.1 版图设计通用要点	9
2.2.2 模组摆放	9
2.2.3 射频	10
2.2.4 电源	11
2.2.5 晶体	11

1. 产品概述

TG7100C 是一款 Wi-Fi + BLE 组合的芯片组，用于低功耗和高性能应用开发。

无线子系统包含 2.4G 无线电，Wi-Fi 802.11b/g/n 和 BLE 5.0 基带/MAC 设计。微控制器子系统包含一个低功耗的 32 位 RISC CPU，高速缓存和存储器。电源管理单元控制低功耗模式。此外，还支持各种安全性能。外围接口包括 SDIO，SPI，UART，I2C，IR remote，PWM，ADC，DAC，PIR 和 GPIO。



TG7100C 高度集成的 SOC 系统使得外围电路设计相对简单，为了充分发挥 TG7100C 的相关性能，本文将以 TG7100C 参考设计为例详细介绍原理图和 PCB 版图的设计，帮助用户加速开发进度。

2. 电路设计

2.1 原理图设计

TG7100C 参考设计电路如图 1 所示

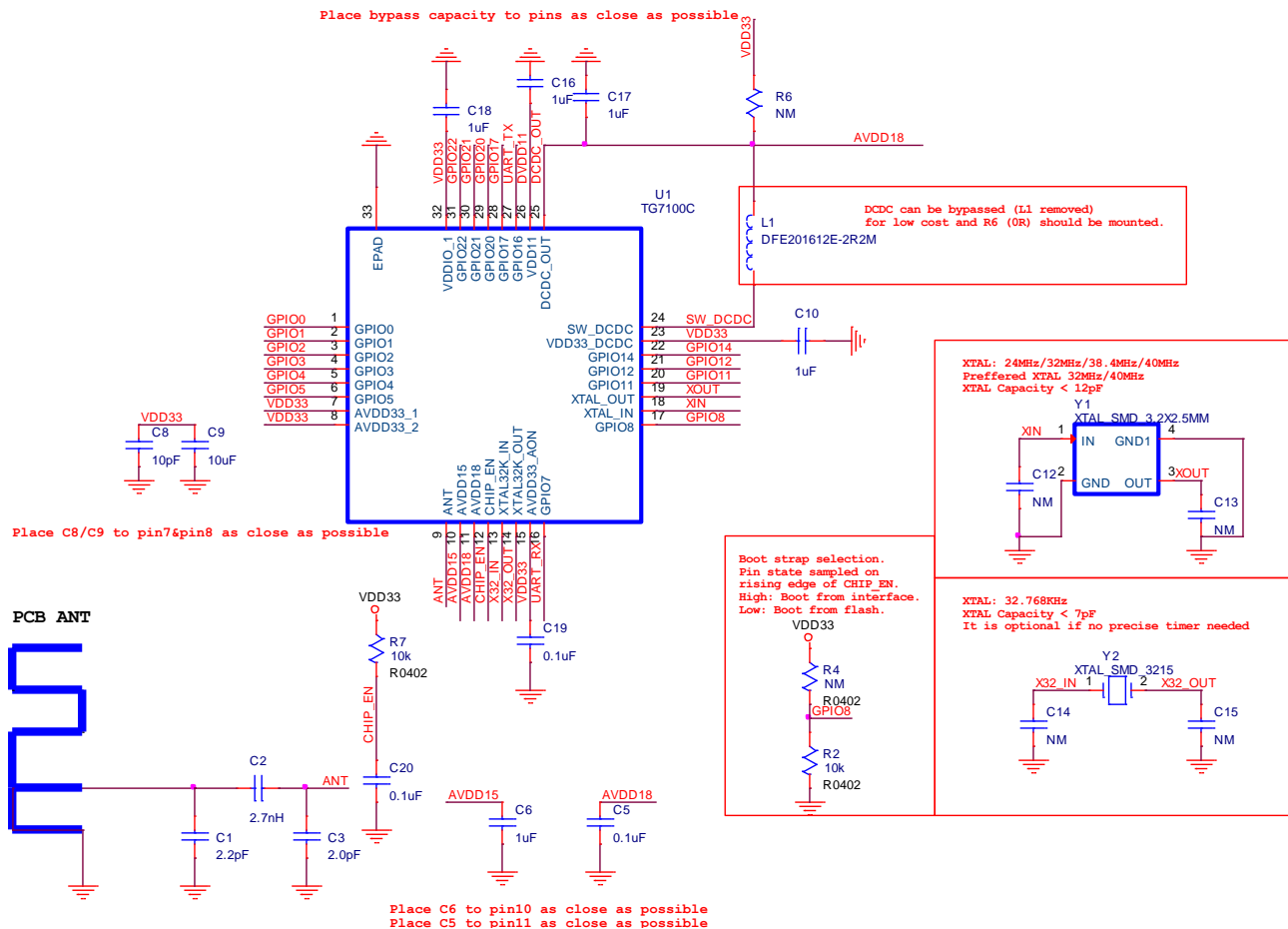


图 1、TG7100C 参考设计原理图

TG7100C 电路图设计有以下部分注意事项：

- 供电电源
- 外部晶体
- 上电时序、复位及启动
- 射频匹配网络
- GPIO 配置

下文将分别针对以上几个部分进行详细描述。

2.1.1 供电电源

TG7100C 的供电分为以下几个电源域：

Pin7 & Pin8: 这两个引脚是 TG7100C 射频发射部分的供电，典型输入电压为 3.3V。当 TG7100C 工作在发射状态时，该部分电源瞬间消耗电流会很大，如设计不当有可能会引起电源的轨道塌陷，在电路设计时

建议在该引脚处放置一个 10uF 电容，该电容的耐压要超过 2 倍 AVDD，推荐选择耐压为 10V 或更高的物料。同时建议在该引脚处放置一个自谐振频率在 2.4G 左右的电容用于抑制信号串扰（对于 0402 封装电容建议使用 10pF，对于 0201 封装电容建议使用 16pF）。对于该引脚的供电建议保证额定电流在 500mA 及以上。

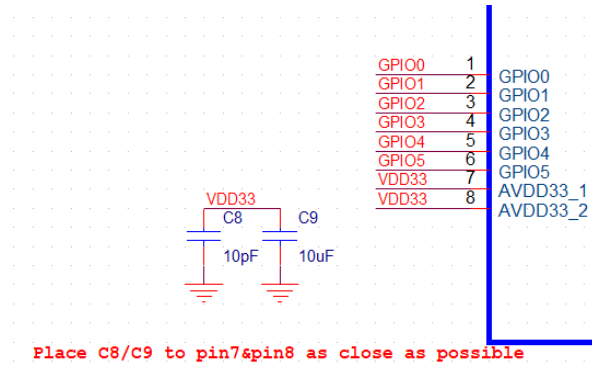


图 2、TG7100C TX 链路供电

Pin10(AVDD15): 内部 LDO 输出引脚，典型输出电压为 1.5V。需要在该引脚处放置一个 1uF 电容，用于保证内部 LDO 的稳定性。同时建议在该引脚处搭配放置一个 0.1uF 电容用于抑制高频谐波。

Pin11(AVDD_RF): 芯片模拟和射频供电，典型输入电压为 1.8V，供电来源为 Pin25（内部 DCDC 电源输出），需要在该引脚处放置一个 0.1uF 电容。

Pin15(VDD33): 系统供电，典型输入电压为 3.3V。该电源消耗电流较小，建议在该引脚处放置一个 0.1uF 电容。

Pin23(VDD33): 数字部分和 DCDC 模块供电，典型输入电压为 3.3V。建议在该引脚处放置一个 1uF 电容。

Pin24 & Pin25: 该引脚是内部 DCDC 模块的输出和反馈点，搭配外围电感形成环路。其中外围电感值建议使用 2.2uH，额定电流不低于 200mA，直流电阻小于 0.15 欧姆，推荐物料型号为：DFE201612E-2R2M。在 DCDC 输出引脚处放置一个 1uF 电容。

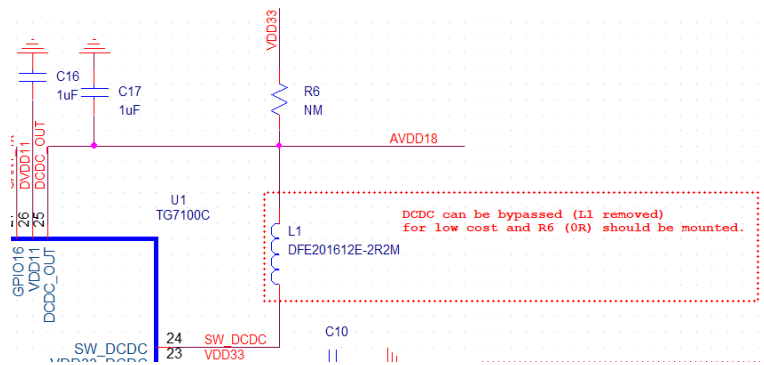


图 3、TG7100C DCDC 电路

注意:

- 正常情况下，推荐使用 DCDC 模式，这种模式下电源效率比较高，系统功耗低。
- 如果需要节省成本，可以将外围电感省掉，TG7100C 内部的 DCDC 被关闭，此时系统功耗会相对增加，同时要保证外部 3.3V 输入电源足够干净，防止影响射频性能。具体电路改动如下：
 - 1、Pin25 直接连接外部 3.3V 电压（需要放置一个 1uF 电容），Pin11 也直接连接外部 3.3V；
 - 2、Pin24 悬空。

Pin26(VDD11): 内部 LDO 输出引脚，典型输出电压为 1.1V。需要在该引脚处放置一个 1uF 电容，用于保证内部 LDO 的稳定性。

Pin32(VDDIO): 数字部分供电，典型输入电压为 1.8V 或 3.3V，其中 GPIO0~5 和 GPIO16~22 属于该电

源域。建议在该引脚处放置一个 1uF 电容。

2.1.2 外部晶体

TG7100C 可以有两个外部晶体提供时钟源, 其中一个用于提供系统参考时钟, 另一个则用于提供 RTC 时钟。TG7100C 内部集成晶体负载电容, 用于调整和补偿晶体不准引起的频率偏差, 内部集成电容最大值典型为 15pF, 在 PCB 上不加外部晶体负载电容的情况下, 建议使用负载电容为 12pF 的晶体。

2.1.2.1 系统时钟参考

对于系统时钟参考, TG7100C 支持的晶体频率包括: 40MHz、24MHz、32MHz、38.4MHz, 推荐使用频率为 40MHz 的晶体。如果选用的晶体规格书中标注的负载电容典型值小于 12pF, 那么 PCB 上可以不需要预留外围补偿电容的位置。同时建议选用的晶体精度为 $\pm 10\text{ppm}$ 。具体电路设计如下图。

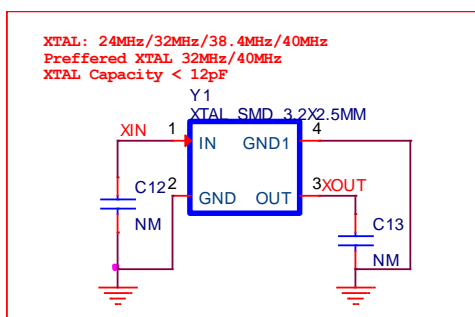


图 4、TG7100C 系统时钟晶体

对于晶体选型, 建议参考如下指标:

- 负载电容: 小于 15pF, 推荐值为 12pF;
- 频率稳定度: $\pm 20\text{ppm}$
- 驱动功率: 最大值小于 200uW;
- 等效电阻: 最大值小于 100 欧姆;

TG7100C 内部集成晶体驱动电路, 等效的驱动负阻约为-150 欧姆, 按照如上指标选择晶体的情况下, 晶体可以确保正常起振, 在晶体正常工作时, IN 和 OUT 引脚的振荡幅度 (峰峰值) 在 0.8V~1.8V 之间, 峰值一般不高于 1.6V, 谷值一般不低于-0.5V。

2.1.2.2 RTC 时钟

TG7100C 支持外置 32.768kHz 的晶体作为 RTC 时钟, 用于满足精确定时需求, 同时 TG7100C 内部集成 RC 振荡器, 通过校准可以达到 1% 的误差精度, 如果不需要特别精确地定时, 可以使用内部 RC 振荡器作为 RTC 时钟源。

如果选用的晶体规格书中标注的负载电容典型值小于 7pF, 那么 PCB 上可以不需要预留外围补偿电容的位置, 具体电路设计如下图。

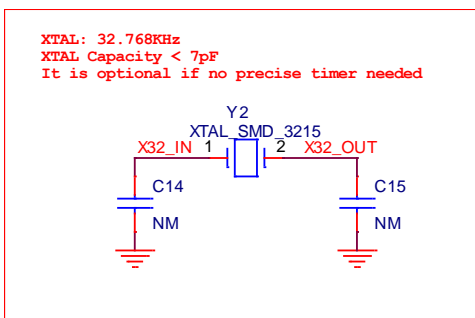


图 5、TG7100C RTC 时钟晶体

2.1.3 上电时序、复位及启动

2.1.3.1 上电时序

一般情况下，TG7100C 对于上电时序有一定的要求，具体细节请参考规格书相关说明。

2.1.3.2 复位电路

TG7100C 的复位可以使用 CHIP_EN 管脚，当 CHIP_EN 为低电平时（低于 0.8V），芯片处于复位状态；当 CHIP_EN 为高电平时（高于 2.0V），芯片处于正常工作状态。

如果需要 TG7100C 复位或重启，需要把 CHIP_EN 引脚拉低，同时低电平状态要保持一定的时间（建议不低于 1ms）。为防止外界干扰引起重启，CHIP_EN 走线需尽量短一些，且最好加上拉电阻和对地电容。

2.1.3.3 启动控制

TG7100C 有两种启动模式：烧录模式和正常工作模式。烧录模式主要用于产线中，通过 UART 接口烧录用户固件或者系统升级。如果需要把 TG7100C 切换为烧录模式，需要执行以下操作步骤：

- 1、系统正常上电；
- 2、把 GPIO8 置为高电平并一直保持；
- 3、把 CHIP_EN 置为低电平，保持 1ms 以上之后置为高电平；
- 4、释放 GPIO8 的控制（可选）。

执行完以上步骤（第四步可选）之后，TG7100C 就处于烧录模式，可以通过 UART 接口进行固件烧录。在一般情况下，需要 TG7100C 正常启动，所以电路设计中需要在 GPIO8 处放置一个下拉电阻，如下图所示。

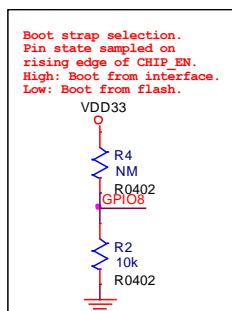


图 6、TG7100C 启动控制电路

2.1.4 射频匹配网络

TG7100C 射频输出管脚在芯片内部做了阻抗匹配，建议在电路设计时预留匹配网络，主要用于天线阻抗匹配和杂散谐波抑制，推荐使用 π 型(CLC)匹配网络结构，具体网络元器件参数需要根据实际天线设计和 PCB 阻抗特性调试得到。

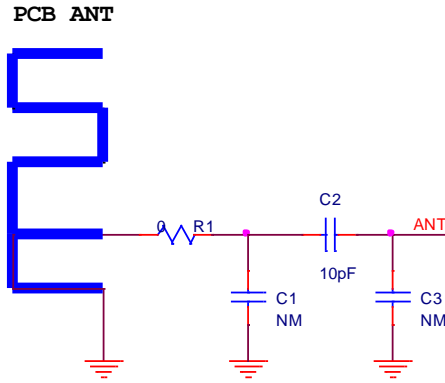


图 7、TG7100C 射频匹配电路

2.1.5 GPIO 配置

TG7100C 集成丰富的外设接口，同时还支持相对灵活的引脚功能配置，本文介绍一些注意事项，其他具体配置可以参考相关说明文档。

2.1.5.1 UART 接口

UART 烧录接口固定为 GPIO7 (RX) 和 GPIO16 (TX)，不可更改。如果需要用户 UART 接口，可以复用该 UART 接口，或者选择另外两个 GPIO 来使用。

2.1.5.2 PWM 接口

TG7100C 内部集成五路独立的 PWM 硬件电路，具体 GPIO 划分如下表：

表 1、PWM 引脚分配

PWM0	PWM1	PWM2	PWM3	PWM4
GPIO0	GPIO1	GPIO2	GPIO3	GPIO4
GPIO5	GPIO11	GPIO12	GPIO8	GPIO14
GPIO20	GPIO21	GPIO17		
		GPIO22		

如果需要独立的 PWM 控制，在电路设计时需要避免 GPIO 冲突（例如 GPIO0 和 GPIO5 冲突）。

注意：

- 在配置为 PWM 的 GPIO 引脚处建议放置 4.7K 欧姆的下拉电阻。

2.1.5.3 中断源

TG7100C 可以同时支持两路独立的外部中断源，可以配置的 GPIO 有：GPIO4、GPIO5、GPIO11、GPIO12 和 GPIO14。

2.2 版图设计

本章节将以 TG7100C 模组的 PCB 版图为例，介绍 TG7100C PCB 版图设计要点。

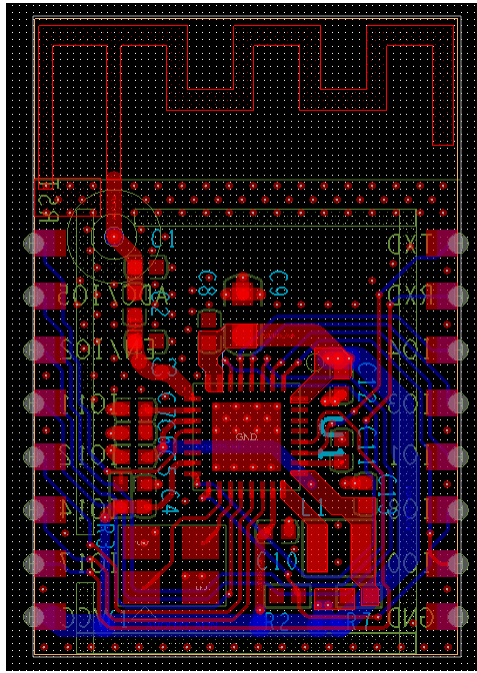


图 8、TG7100C 模组版图设计

2.2.1 版图设计通用要点

建议采用四层板设计，主要叠层划分为：

- 第一层主要用于走信号线、电源线和摆放元器件。
- 第二层为地层，不走信号线，尽量保证完整的参考地平面。
- 第三层为电源层，主要走电源线。
- 第四层主要走一些不重要低速控制线，条件允许的情况下也可以摆放元器件。

如果条件受限，需要采用两层板设计，则建议如下：

- 第一层主要用于摆放元器件和走线。
- 第二层走线尽量少，尽量保证足够完整的参考地平面。

2.2.2 模组摆放

如果模组上带有 PCB 天线，则需要考虑模组在底板上的布局，需要尽量减少底板对于模组 PCB 天线性能的影响。在条件允许的情况下，建议将模组 PCB 天线区域延伸出底板板框外，如下图中左边示例。如上述方法受限而无法实行，请确保模块不被任何金属的外壳包裹，模块 PCB 天线区域及外扩 5 mm 区域需净空（严禁铺铜、走线、摆放元件），如下图右边示例。

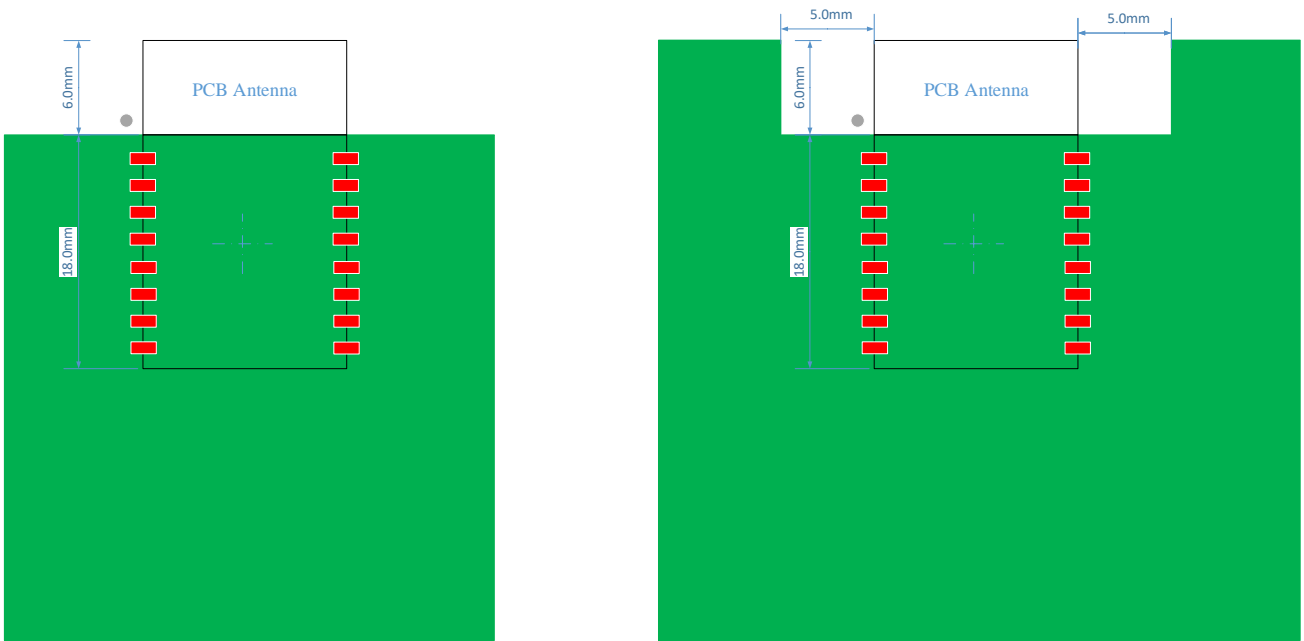


图 9、TG7100C 模组在底板上的摆放示意图

2.2.3 射频

射频走线要求做 50Ω 单端阻抗控制，走线两边和下层需保证完整的参考地平面。射频走线线宽要保持一致，走线长度尽量短，尽量使用 135° 角度走线或者圆弧走线，周围要有相对密集的接地孔屏蔽。在射频走线上预留 π 型匹配电路，且需要靠近芯片端放置。

射频走线附件尽量避免高速信号线，防止产生串扰。

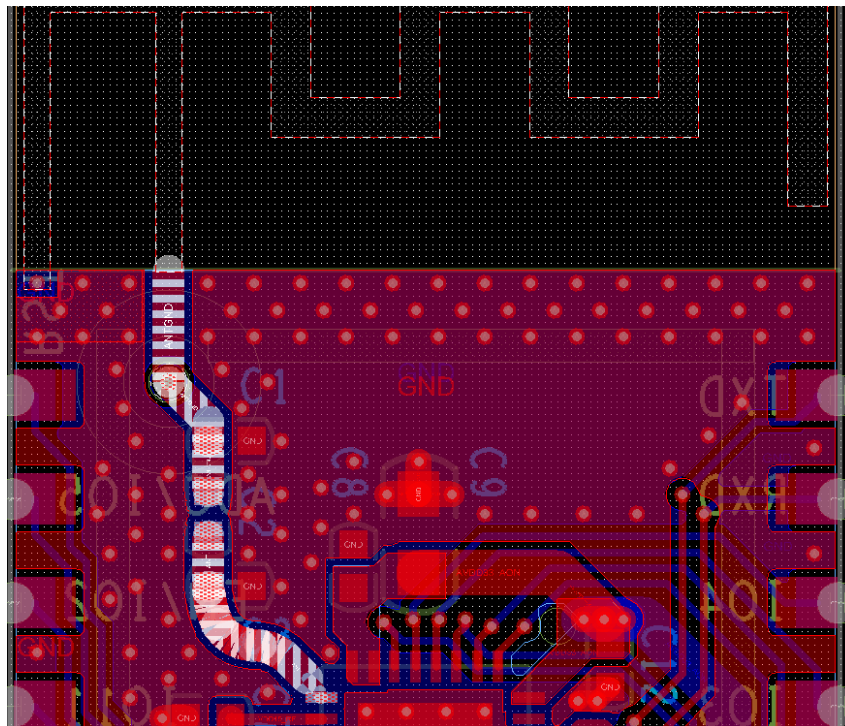


图 10、TG7100C 射频走线示例图

2.2.4 电源

在条件允许情况下，3.3V 电源走线宽度要尽量粗，至少保证 25mil 以上。所有去耦电容都尽量靠近电源管脚放置，去耦电容的接地脚就近打地孔，保证较短的返回路径。芯片底部的接地焊盘尽量多打地孔到参考地平面。

对于DCDC布线，尽量减小SW_DCDC 引脚、功率电感、DCDC_OUT 引脚间形成的回路，功率电感下方避免其它信号布线。同时DCDC_OUT 引脚到AVDD_RF引脚的供电线尽量远离SW_DCDC布线，与其它电源、信号线也保持距离，尽量减少串扰。

2.2.5 晶体

晶体摆放和走线的相关注意事项如下：

- 晶体摆放尽量远离 PCB 天线，减少两者之间的串扰。
- 晶体走线尽量用地包裹屏蔽。
- 晶体的 GND 尽量与其他 GND 剥离，单点共地。